

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284801  
(43)Date of publication of application : 12.10.2001

(51)Int.Cl. H05K 3/40  
H05K 3/46

(21)Application number : 2000-102313

(71)Applicant : HITACHI CHEM CO LTD

(22)Date of filing : 04.04.2000

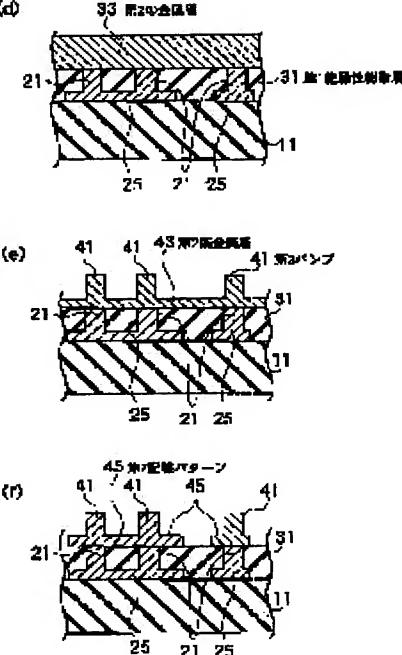
(72)Inventor : KAWAZOE HIROSHI  
NAKAMURA HIDEHIRO  
ENOMOTO TETSUYA

## (54) METHOD OF MANUFACTURING MULTILAYER PRINTED BOARD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a manufacturing method for a multilayer printed wiring board wherein surface flatness of the board can be improved.

**SOLUTION:** This manufacturing method comprises a process wherein a first metal layer on an insulating board 11 is selectively etched and a plurality of first bumps 21 are formed, a process for forming a first insulating resin layer 31 on the first bumps 21, a process wherein a second metal layer 33 is fixed with pressure on the first insulating resin layer 31 and tips of the first bumps 21 are connected with the second metal layer 33 penetrating the first insulating resin layer 31, a process wherein the second metal layer 33 is selectively etched and a plurality of second bumps 41 are formed, a process for forming a second insulating resin layer on the second bumps 41, and a process wherein a third metal layer is fixed with pressure on the second insulating resin layer and tips of the plurality of second bumps are connected with the facing third metal layer penetrating the second insulating resin layer.



\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1]A manufacturing method of a multilayer printed board characterized by comprising the following.

A process of preparing a supporting board provided with the 1st metal layer for one main table side of an insulating substrate, etching this 1st metal layer into it selectively, and forming two or more 1st vamps in it.

A process of forming the 1st insulating resin layer on said 1st metal layer.

A process linked to this 2nd metal layer that sticks the 2nd metal layer by pressure on said 1st insulating resin layer, makes said 1st insulating resin layer \*\*\*\*, and counters a tip of two or more of said 1st vamps.

[Claim 2]A manufacturing method of the multilayer printed board according to claim 1 etching a metal layer which etched said 1st metal layer selectively and remained, and having further the process of forming the 1st circuit pattern.

[Claim 3]A manufacturing method of the multilayer printed board according to claim 1 etching said 2nd metal layer selectively and having further the process of forming two or more 2nd vamps.

[Claim 4]A manufacturing method of a multilayer printed board of claim 1 thru/or 3 etching a metal layer which etched said 2nd metal layer selectively and remained, and having further the process of forming the 2nd circuit pattern given in any 1 paragraph.

[Claim 5]A manufacturing method of a multilayer printed board given in any 1 paragraph of claims 1 thru/or 4, wherein said 1st insulating resin layer and said 2nd metal layer are unified beforehand.

[Claim 6]A manufacturing method of a multilayer printed board given in any 1 paragraph of claims 1 thru/or 5, wherein said supporting board is the circuit board in which a circuit pattern is formed beforehand.

[Claim 7]The 3rd metal layer is stuck by pressure a process of forming the 2nd insulating resin layer on said 2nd metal layer, and on said 2nd insulating resin layer, A manufacturing method of a multilayer printed board given in any 1 paragraph of claims 1 thru/or 6 having further the process of connecting a tip of two or more of said 2nd vamps to this 3rd metal layer that makes said 2nd insulating resin layer \*\*\*\*(ing), and counters.

[Claim 8]A manufacturing method of the multilayer printed board according to claim 7 etching said 3rd metal layer and having further the process of forming the 3rd circuit pattern.

[Claim 9]Said 1st metal layer is under the 1st copper layer located in the top layer, and this 1st copper layer, It has a three-tiered structure which consists of an interlayer who consists of nickel or a nickel alloy, and the 2nd copper layer under this interlayer, A manufacturing method of the multilayer printed board according to claim 1 carrying out by etching until an interlayer's surface where a process of forming said two or more 1st vamps consists this 1st copper layer of this nickel or a nickel alloy is exposed.

[Claim 10]A manufacturing method of the multilayer printed board according to claim 9 having further the process of removing an interlayer who consists of nickel or a nickel alloy to which

said surface was exposed further after a process of forming said two or more 1st vamps.

[Claim 11]A manufacturing method of the multilayer printed board according to claim 10 having further the process of forming the 1st circuit pattern by etching said 2nd copper layer further after a process of removing said interlayer.

[Claim 12]Said 2nd metal layer is under the 1st copper layer located in the top layer, and this 1st copper layer, A manufacturing method of a multilayer printed board given in an any 1 paragraph statement of claims 9 thru/or 11 having a three-tiered structure which consists of an interlayer who consists of nickel or a nickel alloy, and the 2nd copper layer under this interlayer.

[Claim 13]By etching said 1st copper layer that constitutes said 2nd metal layer until the surface of an interlayer who consists of said nickel or a nickel alloy is exposed, A manufacturing method of a multilayer printed board of claim 9 thru/or 12 having further the process of forming two or more 2nd vamps given in any 1 paragraph.

[Claim 14]A manufacturing method of the multilayer printed board according to claim 13 having further the process of removing an interlayer who consists of nickel or a nickel alloy which constitutes said 2nd metal layer after a process of forming said two or more 2nd vamps.

[Claim 15]A manufacturing method of the multilayer printed board according to claim 14 having further the process of forming the 2nd circuit pattern by etching the 2nd copper layer that constitutes said 2nd metal layer after a process of removing said interlayer.

[Claim 16]The 3rd metal layer is stuck by pressure a process of forming the 2nd insulating resin layer on said 2nd metal layer, and on said 2nd insulating resin layer, A manufacturing method of a multilayer printed board given in any 1 paragraph of claims 9 thru/or 15 having further the process of connecting a tip of two or more of said 2nd vamps to this 3rd metal layer that makes said 2nd insulating resin layer \*\*\*\*(ing), and counters.

[Claim 17]A manufacturing method of the multilayer printed board according to claim 16 etching said 3rd metal layer and having further the process of forming the 3rd circuit pattern.

[Claim 18]A manufacturing method of a multilayer printed board given in any 1 paragraph of claims 1 thru/or 17, wherein said 1st insulating resin layer is adhesives.

[Claim 19]A manufacturing method of the multilayer printed board according to claim 7 or 16, wherein said 2nd insulating resin layer is adhesives.

---

[Translation done.]

## \* NOTICES \*

JPO and INPI are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Field of the Invention] Especially this invention relates to the manufacturing method of the multilayer printed board which performs an interlayer connection by a vamp about the manufacturing method of a multilayer printed board.

#### [0002]

[Description of the Prior Art] Terminal size carries out minuteness making of the integrated circuit in recent years, and densification of the arrangement of a bonding pad is carried out from peripheral arrangement to the area array. In connection with this, the mounting method has also shifted to the flip chip mounting using a ball grid array (BGA) from wirebonding mounting. In order to correspond to these trends, the printed circuit board for semiconductor chip mounting needs to raise the quality further. For the purpose, the display flatness of the printed board surface which has big influence on the connection reliability of a semiconductor chip and printed circuit board Hazama is important. In order that this may carry out direct attachment of the solder bump (solder ball) and printed circuit board which have been arranged in flip chip mounting at the bonding pad arranged on the surface of a semiconductor chip, it is for the portion which serves as a faulty connection in some places since there is nothing that permits height like wirebonding when the display flatness of a printed circuit board is bad to occur. Since the space between bonding pads also becomes very narrow and the solder bump formed is also small by high integration density-ization of the LSI chip especially, the printed circuit board with higher display flatness is called for.

[0003] For this reason, it is performed that multilayer printed board \*\*\*\* buries a beer hall opening by conductive paste, plating, etc. with the substrate which uses laser beer, photograph beer, etc. for an interlayer connection. On the other hand, in the multilayer printed board which used for the interlayer connection the vamp (thing of conductive protuberance form used for electric connection), this filling step is unnecessary and future progress is expected. JP,60-121789,A has the conception of using a vamp for an interlayer connection, and, for example as individual art of a conjunctive, For example, it is indicated by JP,2-7180,B, JP,6-21601,A, JP,6-342977,A, JP,7-74466,A, JP,7-86711,A, JP,8-78845,A, JP,8-125344,A, etc. According to the art indicated in these gazettes, a multilayer printed board is manufactured by each process below an outline. (b) The process of forming a vamp in the prescribed position of an insulating substrate with print processes or plating, (\*\*) Pressurize the process of embedding a vamp from insulating resin material, and the layered product which carried out lamination arrangement of \*\*\*\* from insulating resin material, the process of making it exposing and carrying out lamination arrangement of the metallic foil on it, and the (\*\*) metallic foil for the tip of the (\*\*) vamp, The process of connecting the tip of a vamp to a metallic foil face, and forming penetrated type conductor wiring parts in it, the process of carrying out the etching process of the (\*\*) metallic foil, and forming a predetermined circuit pattern. By such each process, forming of a beer hall becomes unnecessary like the above-mentioned at an interlayer connection, therefore the filling step for surface flattening is also unnecessary.

#### [0004]

[Problem(s) to be Solved by the Invention] However, since the vamp is formed by printing or plating of metal and conductive paste in art given [ above-mentioned / each ] in a gazette, the controllability of bump height is bad. There was a problem that the metallic foil piled-up on it will be pushed up unevenly, or the tip of the vamp penetrated from the metallic foil will be uneven height. When the number of wiring layers increases especially, height dispersion is accumulated, the display flatness on the surface of a multilayer printed board falls further, and there is a possibility that reservation of the connection reliability between a semiconductor chip and a multilayer printed board may become difficult.

[0005] Although the leveling treatment of grinding the tip of a vamp, for example was proposed as a method of reducing height dispersion of a vamp, in the case of a detailed vamp of size which is less than 50 micrometers in diameter, and 50 micrometers in height, application of leveling treatment was difficult.

[0006] This invention was made in view of the above, and the purpose is to provide the manufacturing method of the multilayer printed board in which flattening with an advanced substrate face is possible.

[0007] even if other purposes of this invention are the multilayer printed boards which performed the interlayer connection by the vamp -- much more -- each time -- even if display flatness is improved and it increases a number of layers, it is providing the manufacturing method of the multilayer printed board which was excellent in display flatness as a whole.

[0008]

[Means for Solving the Problem] In order to solve an aforementioned problem, a manufacturing method of a multilayer printed board of this invention, (b) Prepare a supporting board which equipped one main table side of an insulating substrate with the 1st metal layer, and etch this 1st metal layer selectively, A process of forming two or more 1st vamps, and a process of forming the 1st insulating resin layer on a metal layer of (\*\*\*) 1st, (\*\*) The 2nd metal layer is stuck by pressure on the 1st insulating resin layer, and let it be the meaning to have a process linked to this 2nd metal layer that makes the 1st insulating resin layer \*\*\*\* and counters a tip of two or more 1st vamps. A process of forming two or more 1st vamps can be simply carried out here using well-known photolithography technology. Namely, what is necessary is to form an etching mask corresponding to shape of two or more 1st desired vamps, to etch the 1st metal layer and just to form two or more 1st vamps on the 1st metal layer, using this etching mask. For example, a desired etching mask can be formed on the 1st metal layer by applying a resist film etc., on the other hand exposing and developing negatives. And what is necessary is for predetermined etching just to remove an etching mask after forming two or more 1st vamps. It may be sufficient as etching dry etching [ like ion milling ] whose wet etching is also.

[0009] Since a manufacturing method of a multilayer printed board by this invention forms two or more 1st vamps by etching the 1st metal layer on an insulating substrate, it can control uniformly height of two or more 1st vamps done essentially. Therefore, according to this invention, height of the 1st done vamp becomes equivalent to thickness dispersion (1-2 micrometers) of the 1st metal layer it has on an insulating substrate. This value is a value with little about single figure as compared with dispersion (10-30 micrometers) in bump height by conventional print processes and plating. Therefore, a multilayer printed board obtained by this becomes that in which the display flatness improved farther than before.

[0010] A metal layer which etched the 1st metal layer selectively and remained is etched, and it may be made to have further the process of forming the 1st circuit pattern, in this invention. Thereby, the 1st circuit pattern can be formed with the 1st vamp from the 1st metal layer it had on an insulating substrate. And the 2nd metal layer is etched selectively and it may be made to have further the process of forming two or more 2nd vamps. And a metal layer which etched the 2nd metal layer selectively and remained is etched, and it may be made to have further the process of forming the 2nd circuit pattern. In this invention, the 1st insulating resin layer and the 2nd metal layer may be made to be unified beforehand. Thereby, the 2nd metal layer can be once formed at a process with formation of the 1st insulating resin layer after two or more 1st bump formation. It may be made for a supporting board to be the circuit board in which a circuit pattern is formed beforehand in this invention. This can apply this invention, if it has the 1st

metal layer on the circuit board in which a circuit pattern was formed beforehand. It may be made to have further a process of forming the 2nd insulating resin layer on the 2nd metal layer, and a process linked to this 3rd metal layer that sticks the 3rd metal layer by pressure on the 2nd insulating resin layer, makes the 2nd insulating resin layer \*\*\* and counters a tip of two or more 2nd vamps in this invention. The 3rd metal layer is etched and it may be made to have further the process of forming the 3rd circuit pattern.

[0011]The 1st copper layer to which the 1st metal layer is located in the top layer in this invention, An interlayer who is under this 1st copper layer and consists of nickel or a nickel alloy, It has a three-tiered structure which consists of the 2nd copper layer under this interlayer, and may be made to be carried out by etching until an interlayer's surface where a process of forming two or more 1st vamps consists this 1st copper layer of this nickel or nickel alloy is exposed. By thus, a thing for which a metal layer of a three-tiered structure which consists of an interlayer who consists of the 1st copper layer, nickel, or nickel alloy, and the 2nd copper layer is used. An interlayer who consists of nickel or a nickel alloy which is an interlayer functions as an etching stop layer at the time of etching the 1st copper layer for bump formation. That is, if an etch rate of the 1st copper layer is selected more greatly enough than an etch rate of nickel which is an interlayer, or a nickel alloy, etching of the 1st copper layer will stop automatically, when an interlayer exposes. Therefore, highly precise etching is attained, without using end point monitoring at all. Then, an interlayer is removed and it becomes easy to form a new circuit pattern in the same field as a bump formation side by patterning the 2nd copper layer. In this case, what is necessary is just to make it have further the process of removing an interlayer who consists of nickel or a nickel alloy to which the surface was exposed further after a process of forming two or more 1st vamps. And it can have further the process of forming the 1st circuit pattern, by etching the 2nd copper layer after a process of removing an interlayer. The 2nd metal layer is the 1st copper layer located in the top layer, and under this 1st copper layer, and it may be made similarly to have a three-tiered structure which consists of an interlayer who consists of nickel or a nickel alloy, and the 2nd copper layer under this interlayer. Thereby, a vamp is further formed using this 2nd metal layer, and a circuit pattern can be formed. For this reason, a multilayer printed board with very high display flatness can be manufactured easily. In this case, it can have further the process of forming two or more 2nd vamps, by etching the 1st copper layer that constitutes the 2nd metal layer until the surface of an interlayer who consists of nickel or a nickel alloy is exposed. What is necessary is just to remove an interlayer who consists of nickel or a nickel alloy which constitutes the 2nd metal layer after a process of forming two or more 2nd vamps. It may be made to have further the process of forming the 2nd circuit pattern, after a process of removing an interlayer, by etching the 2nd copper layer that constitutes the 2nd metal layer. It may be made to have further a process of forming the 2nd insulating resin layer on the 2nd metal layer also in this case, and a process linked to this 3rd metal layer that sticks the 3rd metal layer by pressure on the 2nd insulating resin layer, makes the 2nd insulating resin layer \*\*\* and counters a tip of two or more 2nd vamps in it. And the 3rd metal layer is etched, and if it is made to have further the process of forming the 3rd circuit pattern, the 3rd circuit pattern will be obtained.

[0012]In this invention, the 1st and 2nd insulating resin layers can use adhesives. By this, when a multilayer printed board is manufactured, junction between each class becomes close, and reliability improves.

[0013]

[Embodiment of the Invention]Next, an embodiment of the invention is described with reference to drawings. In the statement of the following drawings, identical or similar numerals are given to the identical or similar portion. However, a drawing is typical and it should care about that the relation and ratio of a size of each member differ from an actual thing. Therefore, the size of each concrete member should be judged in consideration of the following explanation. Of course, the portion from which the relation and ratio of a mutual size differ also in between drawings is contained.

[0014](A 1st embodiment) Drawing 1 thru/or drawing 3 are the process sectional views for explaining the manufacturing method of the multilayer printed board concerning a 1st

embodiment of this invention.

[0015](\*\*) First, as shown in drawing 1 (a), prepare the supporting board 15 which equipped one main table side of the insulating substrate 11 with the 1st metal layer 13. The 1st metal layer 13 is for forming a vamp and a circuit pattern in a next process here. As this 1st metal layer 13, copper (Cu) is preferred and, as for that thickness, it is preferred that they are 10 micrometers – 150 micrometers. This is because the formation accuracy of a vamp will fall if the height as a vamp becomes insufficient in less than 10 micrometers and 150 micrometers is exceeded on the other hand. As the supporting board 15 which has such a copper layer, a copper-clad laminate sheet is preferred. The copper-clad phenol board which specifically consists of a substrate and thermosetting resin, such as paper, glass fabrics, a fiberglass mat, and a synthetic fiber, for example, There are a copper-clad paper epoxy board, a copper-clad paper polyester board, a copper-clad glass epoxy board, a copper-clad glass polyimide substrate, a copper-clad glass Teflon (registered trademark) board, etc. As a form which does not combine a substrate, a copper-clad polyimide substrate, a copper-clad polyester board, a copper-clad polyether imide board, etc. are mentioned, for example. The laminate sheet which copper foil etc. stretched via the insulating resin layer as other gestalten by using a metal plate as a base, For example, an aluminum base copper-clad board, an iron base copper-clad board, a stainless steel base copper-clad board, a ferrosilicon base copper-clad board, a copper base copper-clad board, 42-AROISU base copper-clad board, etc. can be used. As the supporting board 15, it may be a flexible substrate besides hardboard. Specifically, the copper-clad laminated circuit board of 0.2 mm of substrate thickness provided with the 60-micrometer-thick copper layer as the 1st metal layer 13 is prepared. Although a copper layer is formed in both the main table side of an insulating substrate as for this laminated circuit board, in drawing 1 thru/or drawing 3, the graphic display of a copper layer at the bottom is omitted.

[0016](\*\*) Then, apply a resist film on the 1st metal layer 13, pattern this resist film with photolithography technology, and consider it as the etching mask for forming a vamp. Then, the 1st metal layer 13 is etched into a fixed time selection target using this etching mask. That is, two or more 1st vamps 21 that consist of heights are formed, leaving a part of 1st comparatively thin metal layer 13 to a pars basilaris ossis occipitalis as 1st balance \*\*\*\* 23, as shown in drawing 1 (b). After forming two or more 1st vamps 21, since the etching mask is unnecessary, a strip is carried out. Here, as a quantity which etches the 1st metal layer 13 selectively, it is preferred to make it about 1–18 micrometers of thickness of 1st balance \*\*\*\* 23 which remains at the pars basilaris ossis occipitalis of a crevice remain. This is because the defect of a pinhole etc. appears, so it is not desirable, when the thickness of 1st balance \*\*\*\* 23 uses this 1st balance \*\*\*\* 23 behind and forms a circuit pattern in less than 1 micrometer. When the thickness of 1st balance \*\*\*\* 23 exceeds 15 micrometers, it is for the formation accuracy of a circuit pattern to fall. Etching of copper which is the 1st metal layer 13 is performed by immersing the whole substrate in this etching reagent, using copper(II) chloride solution as an etching reagent. At this time, regulation of etching quantity is performed by adjusting immersion time. moreover -- as the shape of two or more 1st vamps 21 to form -- a gimlet -- arbitrary plane shape, such as arbitrary elevation surface shape, such as type, a pillar type, and a trapezoid, circular, a polygon, and a cross-joint form, may be sufficient. A size may also be arbitrary. However, as for the height of the point of the etching processing accuracy of two or more 1st vamps 21 to the 1st vamp 21, it is preferred that it is [ not less than 10 micrometer ] 100 micrometers or less, and it is more preferred in it being not less than 30 micrometers especially 60 micrometers or less. As a resist film used as an etching mask, a film resist film, a liquid resist film, etc. can be used. In etching of solder, nickel metallurgy foil, etc., the etching resist film for printed circuit boards generally used may be used. Here, an etching resist film is used for a resist film, and an etching mask is formed. And 45 micrometers of copper which is the 1st metal layer 13 is etched selectively, and two or more 1st vamps 21 are formed, leaving 15-micrometer balance \*\*\*\* 32. Therefore, the height of the 1st vamp 21 is set to 45 micrometers. The after [ bump formation ] strip of the etching mask is carried out.

[0017](\*\*) Then, apply a resist film all over 1st balance \*\*\*\* 23 so that two or more 1st vamps 21 may be covered, pattern this resist film from photolithography technology, and form the

etching mask for circuit patterns. By etching 1st balance \*\*\*\* 23 using this etching mask, as shown in drawing 1 (c), the 1st circuit pattern 25 is formed. Then, the strip of the etching mask is carried out. Thereby, on the insulating substrate 11, the 1st circuit pattern 25 is formed at the same main table side side as the main table side in which two or more 1st vamps 21 are formed. As a resist film used here, various resist films can be used like previously. Etching of 1st balance \*\*\*\* 23 is also etched using copper(II) chloride solution as an etching reagent. Specifically an etching resist film is laminated to both sides of the substrate 15, a circuit pattern is formed in this etching resist film, and it is considered as an etching mask. And copper which is 1st balance \*\*\*\* 23 is etched further, and the 1st circuit pattern 25 is formed. The strip of the etching resist film is carried out after 1st circuit pattern 25 formation.

[0018](\*\*) Then, connect two or more 1st vamp 21 and 2nd metal layer 33 by laminating and sticking the 1st insulating resin layer 31 and the 2nd metal layer 33 by pressure on the substrate 15 with which two or more 1st vamp 21 and 1st circuit pattern 25 were formed, as shown in drawing 2 (d). As insulating resin used here, for example Polycarbonate resin, Thermoplastics, such as polysulfone resin, polyetherimide resin, thermoplastic polyimide, polytetrafluoro ethylene resin, hexafluoride polypropylene resin, polyether ether ketone resin, vinyl chloride resin, and polyethylene resin, is mentioned. The thermosetting resin which can form necessary insulation and adhesive property in the state of what is called a B stage, For example, an epoxy resin, bismaleimide triazine resin, polyimide resin, phenol resin, polyether resin, melamine resin or unvulcanized butadiene rubber (crude rubber), isobutylene isoprene rubber, crude rubber, neoprene (registered trademark) rubber, silicone rubber, etc. can be used. These may be a copolymer system and mixed stock and addition and the system made to contain may be sufficient as the gestalt which combined organic matters, such as inorganic oxides, such as glass fabrics and a mat, and paper, or inorganic oxide powder. And it is screen printing, the casting roller coat method, a spin coat method, etc., for example, and formation of an insulating resin layer can be performed on the substrates face in which two or more 1st vamp 21 and 1st circuit pattern 25 were formed. What functions as adhesives beforehand may be used for these insulating resin layers, and they may choose arbitrarily prepreg, an adhesion sheet, an adhesive film, adhesives with copper foil, the adhesives generally used as the object for printed circuit boards, or an object for semiconductor devices, etc. as adhesives. For sticking by pressure of the substrate 15, and these 1st insulating resin layers 31 and the 2nd metal layer 33. For example, pressing machines, such as a lamination pressing machine and a mechanical press machine, may be used, or the general lamination of a laminating machine, a flip chip bonder, a thermocompression bonding machine, an ultrasonic bonding device, etc., adhesion, sticking by pressure, and a joining apparatus may be used. In a 1st embodiment of this invention, after carrying out adhesion lamination of the 60-micrometer-thick copper layer beforehand as the 2nd metal layer 33 with 40-micrometer-thick prepreg as the 1st insulating resin layer 31, This layered product is put on the substrate 15 with which two or more 1st vamps 21 and the 1st circuit pattern 25 were formed, it is made to unify by being stuck by pressure on with junction pressure 4.0MPa, the treatment temperature of 170 \*\*, and an ambient pressure power of 100 Pa conditions, and two or more 1st vamp 21 and 2nd metal layer 33 are connected.

[0019](\*\*) Then, as shown in drawing 2 (e), form two or more 2nd vamps 41 on the 2nd metal layer 33 like formation of the 1st vamp 21 in the 1st metal layer 13 mentioned above. Here, an etching mask is formed in the shape which laminates an etching resist film and serves as a vamp on the 2nd metal layer 33 surface with photolithography technology continuously. And 45 micrometers of the 2nd metal layer 33 is selectively etched using this etching mask. And the strip of the etching resist film is carried out after that. 2nd balance \*\*\*\* 43 remains in this process, without etching the 2nd metal layer 33 altogether.

[0020](\*\*) Then, as shown in drawing 2 (f), form the 2nd circuit pattern 45 by 2nd balance \*\*\*\* 43 like formation of the 1st circuit pattern 25 in the 1st metal layer 13 mentioned above. Here, an etching resist film is formed in the shape which laminates an etching resist film, and serves as a circuit pattern with photolithography technology continuously so that the 2nd vamp 41 and 2nd balance \*\*\*\* 43 may be covered, and 2nd balance \*\*\*\* 43 is etched. And the strip of the etching resist film is carried out after that, and the 2nd circuit pattern 45 is formed in the same

main table side side as the main table side in which two or more 2nd vamps 41 are formed. [0021](\*\*) Then, it is made to be the same as that of connection between the formation and the 1st vamp 21 of the 1st insulating resin layer 31 which were mentioned above, and the 2nd metal layer 33, as shown in drawing 3 (g), The substrate 15, these insulating resin layers 35, and the 3rd metal layer 51 are stuck by pressure after forming the insulating resin layer 35 and the 3rd metal layer 51 on two or more 2nd vamps 41 and the 2nd circuit pattern 45, and two or more 2nd vamp 41 and 3rd metal layer 51 are connected. Here, the 3rd metal layer 51 is for forming the outermost surface wiring pattern layer of a multilayer printed board. Therefore, since the 3rd metal layer 51 does not need to form a vamp like the 2nd previous metal layer 33, there should be only thickness which is enough for formation of a circuit pattern. As thickness of the 3rd metal layer 51, it is preferred that it is a thickness of 1–18 micrometers, for example. This is for the formation accuracy of a circuit pattern to fall on the other hand undesirably by the defect of a pinhole etc. appearing in less than 1 micrometer, if it exceeds 15 micrometers when a circuit pattern is formed. Here, form 40-micrometer-thick prepreg as the insulating resin layer 35, form the 12-micrometer copper layer in thickness as the 3rd metal layer 51, and carry out shaping unification on with junction pressure 4.0MPa, the treatment temperature of 170 \*\*, and an ambient pressure power of 100 Pa conditions, and. Two or more 2nd vamp 41 and 3rd metal layer 51 are connected.

[0022](\*\*) Then, as shown in drawing 3 (h), a resist film is applied on the 3rd metal layer 51, This resist film is patterned with photolithography technology, the etching mask of a circuit pattern is formed, and the 3rd circuit pattern 55 is formed by etching the 3rd metal layer 51 using this etching mask. An etching mask is formed in the shape which carries out etching–resist film laminate and serves as a circuit pattern on the surface of the copper layer which is the 3rd metal layer 51 with photolithography technology continuously here, Using this etching mask, the 3rd metal layer 51 is etched and the 3rd circuit pattern 55 is obtained. Then, the strip of the etching mask is carried out.

[0023]By each above process, the multilayer printed board of a three-tiered structure as shown in drawing 3 (h) is completed. The display flatness on the surface of a multilayer printed board manufactured by 1st embodiment of this invention about the obtained multilayer printed board as a result of measurement by a non-contact profile and form tester was a maximum of 1.5-micrometer unevenness in an area of 10.48 cm x 10.48 cm. 1681 vamps are arranged in this area.

[0024]For comparison, the multilayer printed board of the identical area which formed the vamp by print processes was manufactured, and the display flatness was measured. A layer system is a three-tiered structure like a 1st embodiment of this invention, and is the same. [ of the number of vamps ] The display flatness on the surface of a multilayer printed board which formed the vamp by print processes was a maximum of 5.3 micrometers in unevenness as a result of measurement.

[0025]As the measurement result of the above display flatness shows, in the multilayer printed board manufactured with the application of this invention, it turns out that display flatness is higher than the multilayer printed board manufactured by the conventional method. Since display flatness the unevenness of 1.5 micrometers by a 1st embodiment of this invention is lower than the height of the vamp of the semiconductor chip in recent years used for flip chip mounting etc., for example enough, it becomes possible to raise the reliability of the integrated circuit by flip chip mounting of it.

[0026](A 2nd embodiment) Drawing 4 thru/or drawing 6 are the process sectional views for explaining the manufacturing method of the multilayer printed board which applied this invention in a 2nd embodiment.

[0027](\*\*) First, as shown in drawing 4 (a), prepare for one main table side of the insulating substrate 61 the supporting board 60 which has the 1st metal layer 69 of a three-tiered structure. The 1st metal layer 69 of this three-tiered structure is the 1st copper layer 63 located in the top layer, and under this 1st copper layer 63, and comprises the interlayer 65 who consists of nickel or a nickel alloy, and the 2nd copper layer 67 under this interlayer 65. As for the thickness, since it is for the 1st copper layer 63 forming a vamp here, it is preferred that it is

10–150 micrometers. This is for the formation accuracy of a vamp to fall, if the height as a vamp becomes insufficient in less than 10 micrometers and 150 micrometers is exceeded on the other hand. The interlayer 65 who consists of nickel or a nickel alloy turns into an etching stop layer at the time of bump formation. Therefore, if there are no osmosis and break through of an etching reagent, the thickness may be very thin, for example, a thickness of 0.04–1.5 micrometers is enough as it. However, since there is a possibility that the defect of a pinhole etc. may occur in less than 0.4 micrometer, and it may stop functioning enough as an etching stop layer when it is copper etching, it is not desirable. On the other hand, since the etching removal of this interlayer 65 very thing will take time and the amount of consumption of an etching reagent will also increase about a maximum if it is made not much thick although there is no problem in the function as an etching stop layer even if it exceeds 1.5 micrometers, it becomes disadvantageous in cost. For this reason, as for maximum thickness, about 1.5 micrometers is preferred. The 2nd copper layer 67 is for forming a circuit pattern behind. For this reason, as for that thickness, it is preferred that it is 1–18 micrometers. This is for the formation accuracy of a circuit pattern to fall in less than 1 micrometer, if the defect of a pinhole etc. appears and it exceeds 15 micrometers on the other hand. Therefore, for example, the copper-clad laminate sheet of 0.2 mm of substrate thickness provided with the 45-micrometer-thick copper layer 63, the interlayer 65 who consists of a 0.1-micrometer-thick nickel phosphorus alloy under it, and the 1st metal layer (three-layer metal layer) 69 that becomes the bottom of it from three layers of the 6-micrometer-thick copper layer 67 is prepared for the top layer.

[0028](\*\*) Then, apply a resist film on the 1st copper layer 63 of this supporting board 60, and this resist film is patterned with photolithography technology. It is considered as the etching mask for forming a vamp, and after that, using this etching mask, the 1st copper layer 63 is etched and two or more 1st vamps 71 are formed. At this time, etching of the 1st copper layer 63 stops automatically, when the interlayer 65 exposes. Then, the strip of the resist film used as an etching mask is carried out, and etching removal only of the interlayer 65 who consists of nickel or a nickel alloy with a predetermined nickel etching reagent is carried out selectively. Also in etching of the interlayer 65 who consists of nickel or a nickel alloy, when the 2nd copper layer 67 is exposed, it stops automatically. Thereby, as shown in drawing 4 (b), after the 2nd copper layer 67 remained as it is and the surface has been exposed, two or more 1st vamps 71 are formed. as the shape of two or more 1st vamps 71 formed here -- a gimlet -- arbitrary plane shape, such as arbitrary elevation surface shape, such as type, a pillar type, and a trapezoid, circular, a polygon, and a cross-joint form, may be sufficient. Although a size may also be arbitrary, from a point of the etching processing accuracy of a vamp, it is preferred that it is not less than 10-micrometer100 micrometers or less in height, and it is more preferred in it being not less than 30 micrometers especially 60 micrometers or less. As a resist film used here, various resist films can be used like a 1st embodiment. Although etching of the 1st copper layer 63 is etched like a 1st embodiment mentioned above, using copper(II) chloride solution as an etching reagent, strict \*\*\*\*\* of etching quantity, i.e., etching time, is unnecessary at this time. It is because the 2nd copper layer 67 under an interlayer is not etched even if some are immersed in the long time etching reagent, since the interlayer 65 who consists of nickel used as an etching stop layer or a nickel alloy is under the 1st copper layer 63 as above-mentioned.

[0029](\*\*) Then, apply a resist film all over the 2nd exposed copper layer 67, pattern this resist film from photolithography technology, and form the etching mask for circuit patterns so that two or more 1st vamps 71 may be covered. And by etching the 2nd copper layer 67 using this etching mask, as shown in drawing 4 (c), the 1st circuit pattern 75 is formed. Then, the strip of the etching mask is carried out. As a resist film used here, various resist films can be used like a 1st embodiment. Etching of the 2nd copper layer 67 is also good to perform copper(II) chloride solution as an etching reagent. Thereby, on the insulating substrate 61, the 1st circuit pattern 75 is formed at the same main table side side as the main table side in which the 1st vamp 71 is formed. According to a 2nd embodiment of this invention, this resist film is patterned after the shape which laminates an etching resist film and serves as a circuit pattern to both sides of the substrate 60 with photolithography technology continuously, and an etching mask is formed. And using this etching mask, the 2nd copper layer 67 is etched and the 1st circuit pattern 75 is

formed. The strip of the etching mask is carried out after 1st circuit pattern 75 formation. [0030](\*\*) Then, as shown in drawing 5 (d), form the 1st insulating resin layer 81 on two or more 1st vamps 71 and the 1st circuit pattern 75, and the 2nd metal layer (three-layer metal layer) 99 of a three-tiered structure is further formed on it. It is stuck by pressure so that the 2nd copper layer 97 may connect with two or more 1st vamps 71 at least. The 2nd metal layer 99 of a three-tiered structure consists of the interlayer 95 who consists of the 1st copper layer 93, nickel, or nickel alloy, and the 2nd copper layer 97. Here, as an insulating resin layer, various resin materials, adhesives material, etc. can be used like a 1st embodiment. As for the thickness, since it is for the 1st copper layer 93 forming a vamp like 1st vamp 71 previous formation, it is preferred that it is 10–150 micrometers. The interlayer 95 who consists of nickel or a nickel alloy turns into an etching stop layer, and his thickness of 0.04–1.5 micrometers is enough as the thickness, for example. It is for the 2nd copper layer 97 forming a circuit pattern behind, and, as for the thickness, it is still more preferred that it is 1–18 micrometers. The 45-micrometer-thick copper layer 93, the interlayer 95 who becomes the bottom of it from a 0.1-micrometer-thick nickel phosphorus alloy, the 2nd metal layer 99 that becomes the bottom of it from three layers of the 6-micrometer-thick copper layer 97, and 35-micrometer-thick adhesives as the 1st copper layer 93 that comes to the top layer by a 2nd embodiment of this invention. After laminating beforehand, it allots so that the adhesives layer 81 may touch two or more 1st vamps 71, and it is considered as a laminated constitution object, and shaping unification is stuck by pressure and carried out on with junction pressure 3.3MPa, the treatment temperature of 177 \*\*, and an ambient pressure power of 100 Pa conditions. Thereby, two or more 1st vamps 71 are connected to the 2nd metal layer 97 that \*\*\*\* the adhesives layer (insulating resin layer) 81, and counters.

[0031](\*\*) Then, apply resist films, such as an etching resist film, on the 1st copper layer 93, pattern this resist film with photolithography technology, and consider it as the etching mask for forming a vamp. Then, two or more 2nd vamps 101 are formed by etching the 1st copper layer 93 using this etching mask. At this time, etching of the 1st copper layer 93 stops automatically, when the interlayer 95 exposes. Then, the strip of the resist film used as an etching mask is carried out, and etching removal only of the interlayer 95 who consists of nickel or a nickel alloy with a nickel etching reagent is carried out selectively. Thereby, as shown in drawing 5 (e), after the 2nd copper layer 97 remained as it is and the surface has been exposed, two or more 2nd vamps 101 are formed. At this time, etching of the 1st copper layer 93 or the interlayer 95, the used resist film, etc. may be the same as the formation process of the 1st previous vamp 71.

[0032](\*\*) Then, all over the upper [ of the 2nd exposed copper layer 97 ], apply resist films, such as an etching resist film, pattern this resist film from photolithography technology, and form the etching mask for circuit patterns so that two or more 2nd vamps 101 may be covered. And by etching the 2nd copper layer 97 using this etching mask, as shown in drawing 5 (f), the 2nd circuit pattern 105 is formed. Then, the strip of the etching mask is carried out. As a resist film used here, various resist films of an except can be used for an etching resist film. Etching of the 2nd copper layer 97 is also good to etch copper(II) chloride solution as an etching reagent. Thereby, the 2nd circuit pattern 105 is obtained at the same main table side side as the main table side in which two or more 2nd vamps 101 are formed.

[0033](\*\*) Then, as shown in drawing 6 (g), stick these by pressure after forming the 2nd insulating resin layer 85 and the 3rd metal layer 111 on two or more 2nd vamps 101 and the 2nd circuit pattern 105, and connect two or more 2nd vamp 101 and 3rd metal layer 111. Here, the 3rd metal layer 111 is for forming the outermost surface wiring pattern layer of a multilayer printed board. Therefore, since the 3rd metal layer 111 does not need to form a vamp, there should be only thickness which is enough for formation of a circuit pattern. As thickness of the 3rd metal layer 111, it is preferred that it is a thickness of 1–18 micrometers, for example. It is for the formation accuracy of a circuit pattern to fall on the other hand undesirably by the defect of a pinhole etc. appearing in less than 1 micrometer, if it exceeds 15 micrometers when a circuit pattern is formed. Adhesives with a thickness [ used as the 2nd insulating resin layer 85 to which the copper layer with a thickness of 12 micrometers which serves as the 3rd metal layer 111 beforehand was attached in a 2nd embodiment of this invention ] of 35 micrometers

are used, It allots so that the 2nd vamp 101 may touch the adhesives layer 85, and it is considered as a laminated constitution object, and shaping unification is stuck by pressure and carried out on with junction pressure 3.3MPa, the treatment temperature of 177 \*\*, and an ambient pressure power of 100 Pa conditions. From this, the copper layer which are two or more 2nd vamp 101 and 2nd metal layer 85 is connected.

[0034]\*\* Then, as shown in drawing 6 (h), resist films, such as an etching resist film, are applied on the 3rd metal layer 111, This resist film is patterned with photolithography technology, the etching mask of a circuit pattern is formed, and the 3rd circuit pattern 115 is formed by etching the 3rd metal layer 111 via this etching mask. Then, the strip of the resist film is carried out.

[0035]By each above process, the multilayer printed board of a three-tiered structure as shown in drawing 6 (h) is completed. As a result of being attached to the obtained multilayer printed board and measuring measurement of the display flatness using a non-contact profile and form tester, the display flatness on the surface of a multilayer printed board manufactured by 2nd embodiment of this invention was a maximum of 0.8-micrometer unevenness in an area of 10.48 cm x 10.48 cm. For comparison, with the identical area, the multilayer printed board which formed the vamp by print processes was manufactured, and the display flatness was measured. Like a 2nd embodiment of this invention, a layer system is a three-tiered structure, and is the same. [ of the number of vamps ] The display flatness on the surface of a multilayer printed board which formed the vamp by print processes was a maximum of 6.6 micrometers in unevenness as a result of measurement.

[0036]As the measurement result of the above display flatness shows, in the multilayer printed board manufactured with the application of a 2nd embodiment of this invention, it turns out that display flatness is higher than the multilayer printed board manufactured by the conventional method. Since display flatness the unevenness of 0.8 micrometer by a 2nd embodiment of this invention is lower than the height of the vamp of the semiconductor chip in recent years used for flip chip mounting etc., for example enough, it becomes possible to raise the reliability of the integrated circuit by flip chip mounting of it.

[0037](Other embodiments) Although the embodiment which applied this invention above was described, if this invention is limited, he should not understand the statement and the drawing which make a part of above-mentioned indication of an embodiment. Various alternative embodiments, an example, and an operation form will become clear [ to a person skilled in the art ] from the indication of the embodiment of others which are explained below.

[0038]First, although each embodiment mentioned above showed the thing of the three-tiered structure as a number of layers in which the circuit pattern was formed by each, any number of this number of layers of a good thing is natural.

[0039]A 1st embodiment explained the vamp and the example in which the circuit pattern was formed to the same main table side side by etching one metal layer (the 1st metal layer) twice selectively. A 2nd embodiment explained the example which formed the vamp and the circuit pattern in the same main table side side using the metal layer of the three-tiered structure using the interlayer who turns into an etching stop layer. However, these methods are not restricted when carried out mutually-independent. Namely, the 1st layer is etching one metal layer (the 1st metal layer) over 2 times selectively, A vamp and a circuit pattern may be formed in the same main table side side, and the 2nd layer may form a vamp and a circuit pattern in the same main table side side using the metal layer of the three-tiered structure using the interlayer who turns into an etching stop layer.

[0040]In each embodiment, although formation of a vamp and formation of the circuit pattern are performed on the same main table side using the same metal layer (the 1st metal layer and three-layer metal layer), another metal layer may perform these. For example, a circuit pattern forms the metal layer for bump formation, and it may be made to form a vamp on it as an insulating substrate using the formed circuit board beforehand. If copper is used for the metal layer for bump formation at this time, the circuit pattern formed beforehand has preferred nickel, nickel alloy, etc. which are metal which is not selectively etched to copper etching.

[0041]

[Effect of the Invention]As explained above, according to this invention, it becomes possible to

manufacture the multilayer printed board excellent in surface display flatness. even if it is the multilayer printed board which performed the interlayer connection by the vamp especially -- much more -- each time -- since display flatness is very good, even if it increases a number of layers, it is possible to manufacture the multilayer printed board which was excellent in display flatness as a whole.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any  
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1]It is a process sectional view (the 1) for explaining the manufacturing method of the multilayer printed board concerning a 1st embodiment that applied this invention.

[Drawing 2]It is a process sectional view (the 2) for explaining the manufacturing method of the multilayer printed board concerning a 1st embodiment that applied this invention.

[Drawing 3]It is a process sectional view (the 3) for explaining the manufacturing method of the multilayer printed board concerning a 1st embodiment that applied this invention.

[Drawing 4]It is a process sectional view (the 1) for explaining the manufacturing method of the multilayer printed board concerning a 2nd embodiment that applied this invention.

[Drawing 5]It is a process sectional view (the 2) for explaining the manufacturing method of the multilayer printed board concerning a 2nd embodiment that applied this invention.

[Drawing 6]It is a process sectional view (the 3) for explaining the manufacturing method of the multilayer printed board concerning a 2nd embodiment that applied this invention.

[Description of Notations]

11 and 61 Insulating substrate

13 and 69 The 1st metal layer

15 and 60 Supporting board

21 and 71 The 1st vamp

41 and 101 The 2nd vamp

23 The 1st balance \*\*\*\*

43 The 2nd balance \*\*\*\*

25 and 75 The 1st circuit pattern

45 and 105 The 2nd circuit pattern

55 and 115 The 3rd circuit pattern

31 and 81 The 1st insulating resin layer

35 and 85 The 2nd insulating resin layer

33 and 99 The 2nd metal layer

51 and 111 The 3rd metal layer

63 and 93 The 1st copper layer

65 and 95 Interlayer

67 and 97 The 2nd copper layer

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any  
damages caused by the use of this translation.

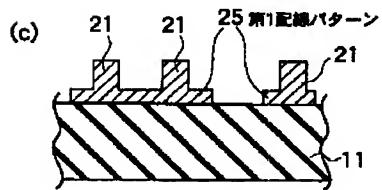
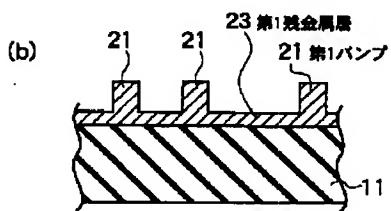
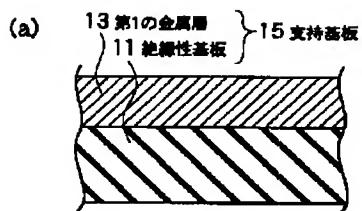
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

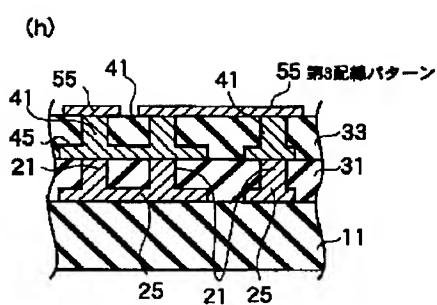
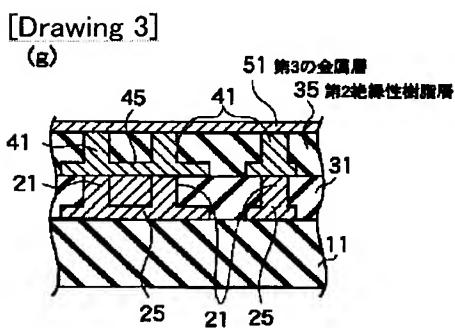
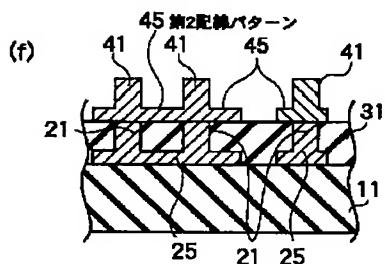
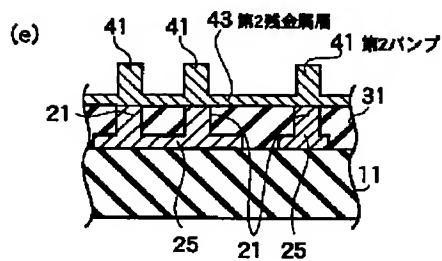
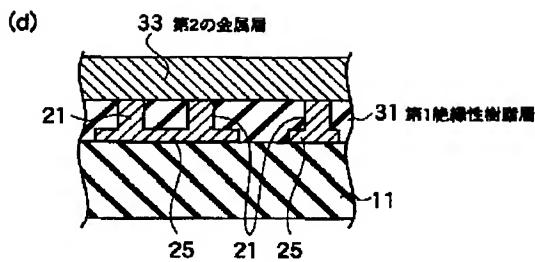
## DRAWINGS

---

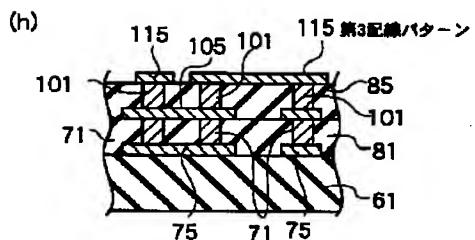
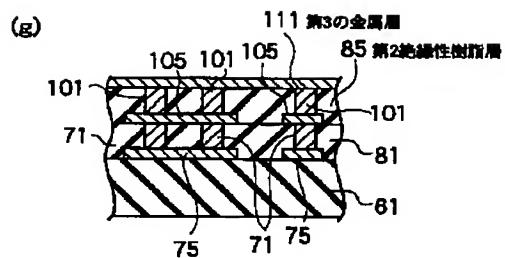
### [Drawing 1]



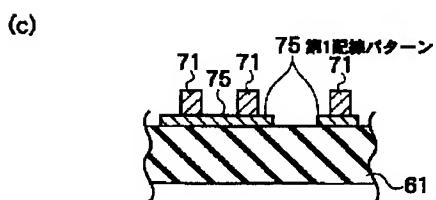
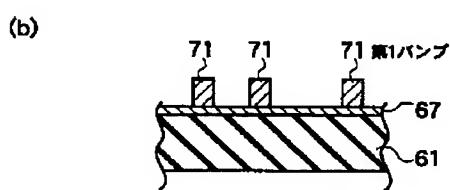
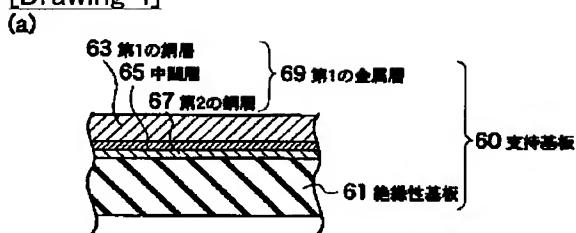
### [Drawing 2]



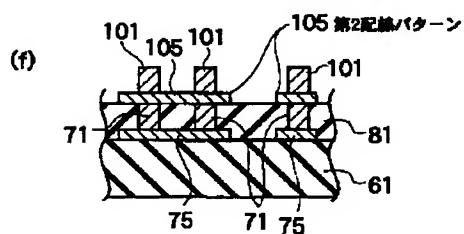
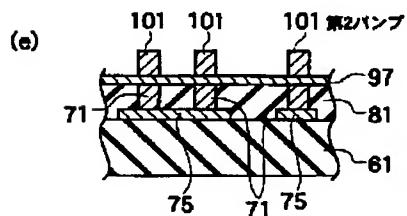
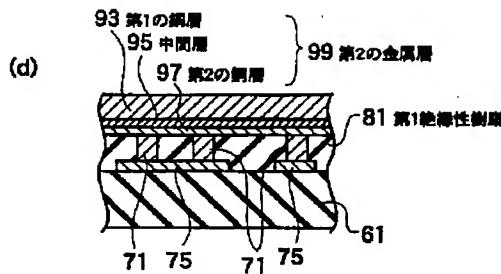
[Drawing 6]



[Drawing 4]



[Drawing 5]



---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-284801  
(P2001-284801A)

(43)公開日 平成13年10月12日 (2001.10.12)

(51)Int.Cl.<sup>7</sup>  
H 05 K 3/40  
3/46

識別記号

F I  
H 05 K 3/40  
3/46

テマコード(参考)  
Z 5 E 3 1 7  
N 5 E 3 4 6  
G

審査請求 未請求 請求項の数19 O.L. (全 11 頁)

(21)出願番号 特願2000-102313(P2000-102313)

(22)出願日 平成12年4月4日 (2000.4.4)

(71)出願人 000004455  
日立化成工業株式会社  
東京都新宿区西新宿2丁目1番1号  
(72)発明者 河添 宏  
茨城県つくば市和台48 日立化成工業株式  
会社総合研究所内  
(72)発明者 中村 英博  
茨城県つくば市和台48 日立化成工業株式  
会社総合研究所内  
(74)代理人 100083806  
弁理士 三好 秀和 (外8名)

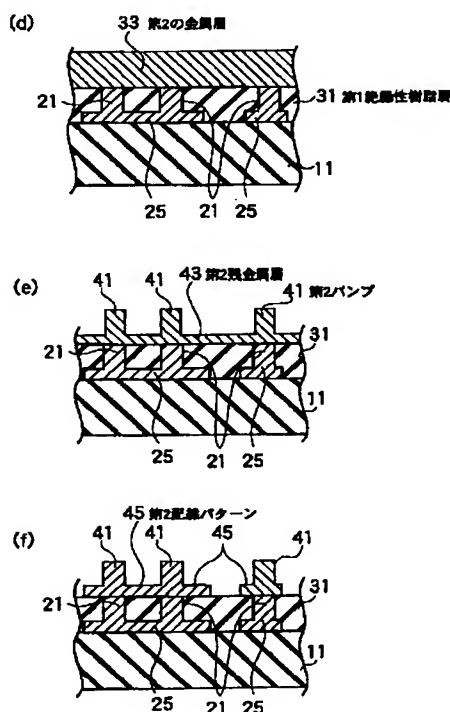
最終頁に続く

(54)【発明の名称】 多層プリント基板の製造方法

(57)【要約】

【課題】 基板表面の平坦度を向上させることができる多層プリント基板の製造方法を提供する。

【解決手段】 (イ) 絶縁性基板11の上の第1の金属層を選択的にエッチングして、複数の第1バンプ21を形成する工程と、(ロ) 第1バンプ21の上に第1絶縁性樹脂層31を形成する工程と、(ハ) 第1絶縁性樹脂層31上に第2の金属層33を圧着し、第1バンプ21の先端を、第1絶縁性樹脂層33を貫挿させて第2の金属層33に接続する工程と、(ニ) 第2の金属層33に接続して、複数の第2バンプ41を形成する工程と、(ホ) 第2バンプ41の上に第2絶縁性樹脂層を形成する工程と、(ヘ) 第2絶縁性樹脂層上に第3の金属層を圧着し、複数の第2バンプの先端を、第2絶縁性樹脂層を貫挿させて対向する第3の金属層に接続する工程とから成る。



## 【特許請求の範囲】

【請求項1】 絶縁性基板の一方の主表面に第1の金属層を備えた支持基板を用意し、該第1の金属層を選択的にエッチングして、複数の第1バンプを形成する工程と、

前記第1の金属層上に第1絶縁性樹脂層を形成する工程と、

前記第1絶縁性樹脂層上に第2の金属層を圧着し、前記複数の第1バンプの先端を、前記第1絶縁性樹脂層を貫挿させて対向する該第2の金属層に接続する工程とを有することを特徴とする多層プリント基板の製造方法。

【請求項2】 前記第1の金属層を選択的にエッチングして残った金属層をエッチングして、第1配線パターンを形成する工程をさらに有することを特徴とする請求項1記載の多層プリント基板の製造方法。

【請求項3】 前記第2の金属層を選択的にエッチングして、複数の第2バンプを形成する工程をさらに有することを特徴とする請求項1記載の多層プリント基板の製造方法。

【請求項4】 前記第2の金属層を選択的にエッチングして残った金属層をエッチングして、第2配線パターンを形成する工程をさらに有することを特徴とする請求項1乃至3のいずれか1項記載の多層プリント基板の製造方法。

【請求項5】 前記第1絶縁性樹脂層と前記第2の金属層とは、予め一体化されていることを特徴とする請求項1乃至4のいずれか1項に記載の多層プリント基板の製造方法。

【請求項6】 前記支持基板は、予め配線パターンが形成されている回路基板であることを特徴とする請求項1乃至5のいずれか1項に記載の多層プリント基板の製造方法。

【請求項7】 前記第2の金属層上に第2絶縁性樹脂層を形成する工程と、  
前記第2絶縁性樹脂層上に第3の金属層を圧着し、前記複数の第2バンプの先端を、前記第2絶縁性樹脂層を貫挿させて対向する該第3の金属層に接続する工程とをさらに有することを特徴とする請求項1乃至6のいずれか1項に記載の多層プリント基板の製造方法。

【請求項8】 前記第3の金属層をエッチングして、第3配線パターンを形成する工程をさらに有することを特徴とする請求項7記載の多層プリント基板の製造方法。

【請求項9】 前記第1の金属層は、最上層に位置する第1の銅層、該第1の銅層の下にあり、ニッケル又はニッケル合金からなる中間層、該中間層の下にある第2の銅層とからなる3層構造を有し、前記複数の第1バンプを形成する工程が、該第1の銅層を該ニッケル又はニッケル合金からなる中間層の表面が露出するまでエッチングすることにより行われることを特徴とする請求項1記載の多層プリント基板の製造方法。

【請求項10】 前記複数の第1バンプを形成する工程の後、さらに、前記表面を露出させたニッケル又はニッケル合金からなる中間層を除去する工程をさらに有することを特徴とする請求項9記載の多層プリント基板の製造方法。

【請求項11】 前記中間層を除去する工程の後、さらに、前記第2の銅層をエッチングすることにより、第1配線パターンを形成する工程をさらに有することを特徴とする請求項10記載の多層プリント基板の製造方法。

10 【請求項12】 前記第2の金属層は、最上層に位置する第1の銅層、該第1の銅層の下にあり、ニッケル又はニッケル合金からなる中間層、該中間層の下にある第2の銅層とからなる3層構造を有することを特徴とする請求項9乃至11のいずれか1項記載に記載の多層プリント基板の製造方法。

【請求項13】 前記第2の金属層を構成する前記第1の銅層を、前記ニッケル又はニッケル合金からなる中間層の表面が露出するまでエッチングすることにより、複数の第2バンプを形成する工程をさらに有することを特徴とする請求項9乃至12のいずれか1項記載の多層プリント基板の製造方法。

20 【請求項14】 前記複数の第2バンプを形成する工程の後、前記第2の金属層を構成するニッケル又はニッケル合金からなる中間層を除去する工程をさらに有することを特徴とする請求項13記載の多層プリント基板の製造方法。

【請求項15】 前記中間層を除去する工程の後、前記第2の金属層を構成する第2の銅層をエッチングすることにより、第2配線パターンを形成する工程をさらに有することを特徴とする請求項14記載の多層プリント基板の製造方法。

30 【請求項16】 前記第2の金属層上に第2絶縁性樹脂層を形成する工程と、  
前記第2絶縁性樹脂層上に第3の金属層を圧着し、前記複数の第2バンプの先端を、前記第2絶縁性樹脂層を貫挿させて対向する該第3の金属層に接続する工程とをさらに有することを特徴とする請求項9乃至15のいずれか1項に記載の多層プリント基板の製造方法。

【請求項17】 前記第3の金属層をエッチングして、  
40 第3配線パターンを形成する工程をさらに有することを特徴とする請求項16記載の多層プリント基板の製造方法。

【請求項18】 前記第1絶縁性樹脂層は、接着剤であることを特徴とする請求項1乃至17のいずれか1項に記載の多層プリント基板の製造方法。

【請求項19】 前記第2絶縁性樹脂層は、接着剤であることを特徴とする請求項7又は16に記載の多層プリント基板の製造方法。

【発明の詳細な説明】

50 【0001】

【発明の属する技術分野】本発明は、多層プリント基板の製造方法に関し、特に層間接続をバンプにより行う多層プリント基板の製造方法に関する。

### 【0002】

【従来の技術】近年の半導体集積回路は、端子サイズが微細化し、ボンディングパッドの配列はペリフェラル配列からエリアアレイ配列へと高密度化している。これに伴い実装方法もワイヤボンディング実装から、ボール・グリッド・アレイ（BGA）を用いたフリップチップ実装へと移行している。これらの動向に対応するため、半導体チップ実装用のプリント基板は、その品質をさらに向上させる必要がある。このためには、半導体チップとプリント基板間の接続信頼性に大きな影響を与えるプリント基板表面の平坦度が重要である。これは、フリップチップ実装においては、半導体チップの表面に配置されたボンディングパッドに配置されたハンダバンプ（半田ボール）とプリント基板とを直付けするため、プリント基板の平坦度が悪いと、ワイヤボンディングのような高さを許容する物がないため、ところどころ接続不良となる部分が発生してしまうためである。特に、LSIチップの高集積密度化により、ボンディングパッド間の空間も非常に狭くなり、形成されるハンダバンプも小さくなっているため、より平坦度の高いプリント基板が求められている。

【0003】このため多層プリント基板においては、層間接続にレーザビアやフォトビアなどを使用した基板では、ビアホール開口部を導電性ペーストやメッキなどで埋めることが行われている。これに対し、層間接続にバンプ（電気的な接続に用いられる導電性の突起状のもの）を用いた多層プリント基板では、この穴埋め工程が不要であり、今後の進展が期待されている。層間接続にバンプを用いるという構想は、例えば特開昭60-121789号公報にあり、また、接続法の個別的技术としては、例えば特公平2-7180号公報、特開平6-21601号公報、特開平6-342977号公報、特開平7-74466号公報、特開平8-78845号公報、特開平8-125344号公報などに開示されている。これら公報に記載された技術によれば、概略以下の各工程により多層プリント基板が製造される。（イ）絶縁性基板の所定位置にバンプを印刷法又はメッキ法により形成する工程、（ロ）絶縁性樹脂材料よりバンプを埋め込む工程、（ハ）バンプの先端を絶縁性樹脂材料から貫挿、露出させ、その上に金属箔を積層配置する工程、（ニ）金属箔を積層配置した積層体を加圧して、金属箔面にバンプの先端を接続し、貫通型の導体配線部を形成する工程、（ホ）金属箔をエッチング処理して、所定の配線パターンを形成する工程。このような各工程により、前述のごとく層間接続にビアホールの形成が不要となり、従って表面の平坦化のための穴埋め工程も不要となっている。

### 【0004】

【発明が解決しようとする課題】しかしながら、上記各公報記載の技術では、バンプを金属や導電性ペーストの印刷又はメッキによって形成しているため、バンプ高さの制御性が悪い。さらに、その上に重ねた金属箔を不均一に押し上げたり、又は金属箔から貫通したバンプの先端が不均一な高さとなってしまうという問題があった。特に、配線層数が増えると、高さばらつきが累積されて、多層プリント基板表面の平坦度がいっそう低下し、半導体チップと多層プリント基板間の接続信頼性の確保が困難になる虞がある。

【0005】なお、バンプの高さばらつきを低減する方法としては、例えばバンプの先端を研磨するなどのレベリング処理が提案されているが、直径 $50\text{ }\mu\text{m}$ 、高さ $50\text{ }\mu\text{m}$ を下回るような微細なサイズのバンプの場合、レベリング処理の適用は困難であった。

【0006】本発明は、上記に鑑みてなされたもので、その目的は、基板表面の高度な平坦化が可能な多層プリント基板の製造方法を提供することである。

20 【0007】本発明の他の目的は、層間接続をバンプにより行なった多層プリント基板であっても、一層ごとの平坦度を改善し、層数を多くしても、全体として平坦度の優れた多層プリント基板の製造方法を提供することである。

### 【0008】

【課題を解決するための手段】上記課題を解決するため、本発明の多層プリント基板の製造方法は、（イ）絶縁性基板の一方の主表面に第1の金属層を備えた支持基板を用意し、この第1の金属層を選択的にエッチングして、複数の第1バンプを形成する工程と、（ロ）第1の金属層上に第1絶縁性樹脂層を形成する工程と、（ハ）第1絶縁性樹脂層上に第2の金属層を圧着し、複数の第1バンプの先端を、第1絶縁性樹脂層を貫挿させて対向するこの第2の金属層に接続する工程とを有することを趣旨とする。ここで、複数の第1バンプを形成する工程は、周知のフォトリソグラフィー技術を用いて、簡単に行なうことが可能である。即ち、第1の金属層の上に、所望の複数の第1バンプの形状に対応したエッチングマスクを形成し、このエッチングマスクを用いて、第1の金属層をエッチングして、複数の第1バンプを形成すればよい。例えば、第1の金属層の上に、レジスト膜等を塗布し、これに対して、露光・現像することにより、所望のエッティングマスクが形成できる。そして、所定のエッティングにより、複数の第1バンプを形成後、エッティングマスクを除去すればよい。エッティングは、ウェットエッティングでも、イオンミリングのようなドライエッティングでも良い。

【0009】本発明による多層プリント基板の製造方法は、複数の第1バンプを、絶縁基板上の第1の金属層をエッティングすることで形成しているので、本来的に出来

上がる複数の第1パンプの高さを一定に制御することが出来る。従って、本発明によれば、出来上がる第1パンプの高さは、絶縁基板上に備えられている第1の金属層の厚さばらつき（1～2μm）と同等になる。この値は、従来の印刷法やメッキ法によるパンプ高さのばらつき（10～30μm）と比較し、1桁程度少ない値である。従って、これにより得られる多層プリント基板は、その平坦度が従来より遙かに向上したものとなる。

【0010】また、本発明においては、第1の金属層を選択的にエッチングして残った金属層をエッチングして、第1配線パターンを形成する工程をさらに有するようにしても良い。これにより、絶縁基板上に備えられた第1の金属層から、第1パンプと共に第1配線パターンを形成することができるものである。そして、第2の金属層を選択的にエッチングして、複数の第2パンプを形成する工程をさらに有するようにしても良い。そして、第2の金属層を選択的にエッチングして、第2配線パターンを形成する工程をさらに有するようにしても良い。また、本発明においては、第1絶縁性樹脂層と第2の金属層とは、予め一体化されているようにしても良い。これにより、複数の第1パンプ形成後、第1絶縁性樹脂層の形成と共に、一度の工程で第2の金属層が形成できる。また、本発明においては、支持基板は、予め配線パターンが形成されている回路基板であるようにしても良い。これは、予め配線パターンが形成された回路基板上に第1の金属層が備えてあれば、本発明を適用することができるものである。また、本発明においては、第2の金属層上に第2絶縁性樹脂層を形成する工程と、第2絶縁性樹脂層上に第3の金属層を圧着し、複数の第2パンプの先端を、第2絶縁性樹脂層を貫挿させて対向するこの第3の金属層に接続する工程とをさらに有するようにしても良い。さらに、第3の金属層をエッチングして、第3配線パターンを形成する工程をさらに有するようにしても良い。

【0011】また、本発明においては、第1の金属層は、最上層に位置する第1の銅層、この第1の銅層の下にあり、ニッケル又はニッケル合金からなる中間層、この中間層の下にある第2の銅層とからなる3層構造を有し、複数の第1パンプを形成する工程が、この第1の銅層をこのニッケル又はニッケル合金からなる中間層の表面が露出するまでエッチングすることにより行われるようにも良い。このように、第1の銅層、ニッケル又はニッケル合金からなる中間層、第2の銅層とからなる3層構造の金属層を用いることで、中間層であるニッケル又はニッケル合金よりなる中間層が、パンプ形成のために第1の銅層をエッチングする際のエッチングストップ層として機能する。即ち、第1の銅層のエッチング速度を中間層であるニッケル又はニッケル合金のエッチング速度より十分大きく選定しておけば、第1の銅層のエッチングは、中間層が露出した時点で自動的に停止す

る。従って、何らエンドポイント・モニタリングを用いずに、高精度なエッチングが可能となる。その後、中間層を除去し、第2の銅層をパターニングすることで、パンプ形成面と同じ面に新たな配線パターンを形成することが容易となる。この場合は、複数の第1パンプを形成する工程の後、さらに、表面を露出させたニッケル又はニッケル合金からなる中間層を除去する工程をさらに有するようにすればよい。そして、中間層を除去する工程の後、さらに、第2の銅層をエッチングすることにより、第1配線パターンを形成する工程をさらに有するようにも出来る。同様に、第2の金属層は、最上層に位置する第1の銅層、この第1の銅層の下にあり、ニッケル又はニッケル合金からなる中間層、この中間層の下にある第2の銅層とからなる3層構造を有するようにも良い。これにより、この第2の金属層を用いて、さらにパンプを形成すると共に、配線パターンを形成することができる。このため、極めて平坦度の高い多層プリント基板を容易に製造することができる。この場合は、第2の金属層を構成する第1の銅層を、ニッケル又はニッケル合金からなる中間層の表面が露出するまでエッチングすることにより、複数の第2パンプを形成する工程をさらに有するようにも出来る。また、複数の第2パンプを形成する工程の後、第2の金属層を構成するニッケル又はニッケル合金からなる中間層を除去すればよい。さらに、中間層を除去する工程の後、第2の金属層を構成する第2の銅層をエッチングすることにより、第2配線パターンを形成する工程をさらに有するようにも良い。この場合も、第2の金属層上に第2絶縁性樹脂層を形成する工程と、第2絶縁性樹脂層上に第3の金属層を圧着し、複数の第2パンプの先端を、第2絶縁性樹脂層を貫挿させて対向するこの第3の金属層に接続する工程とをさらに有するようにも良い。そして、第3の金属層をエッチングして、第3配線パターンを形成する工程をさらに有するようにすれば、第3配線パターンが得られる。

【0012】また、本発明においては、第1及び第2絶縁性樹脂層は、接着剤を用いることが可能である。これにより、多層プリント基板を製造した際に各層間の接合が緊密となり、信頼性が向上する。

#### 40 【0013】

【発明の実施の形態】次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載においては、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、各部材の寸法の関係や比率は現実のものとは異なることに留意すべきである。従って、具体的な各部材の寸法は以下の説明を斟酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

#### 50 【0014】（第1の実施の形態）図1乃至図3は、本

7  
発明の第1の実施の形態に係る多層プリント基板の製造方法を説明するための工程断面図である。

【0015】(イ)まず、図1(a)に示すように、絶縁性基板11の一方の主表面に、第1の金属層13を備えた支持基板15を用意する。ここで第1の金属層13は、後の工程においてパンプ及び配線パターンを形成するためのものである。この第1の金属層13としては、銅(Cu)が好ましく、その厚さは、 $10\mu m$ ～ $150\mu m$ であることが好ましい。これは $10\mu m$ 未満ではパンプとしての高さが不十分となり、一方、 $150\mu m$ を越えるとパンプの形成精度が低下するからである。このような銅層を有する支持基板15としては、銅張り積層板が好ましい。具体的には、例えば紙、ガラスクロス、ガラスマット、合成繊維などの基材と熱硬化性樹脂とからなる銅張りフェノール基板、銅張り紙エポキシ基板、銅張り紙ポリエステル基板、銅張りガラスエポキシ基板、銅張りガラスポリイミド基板、銅張りガラステフロン(登録商標)基板などがある。また、基材を組み合わせない形としては、例えば銅張りポリイミド基板、銅張りポリエステル基板、銅張りポリエーテルイミド基板などが挙げられる。さらに、他の形態としては、金属板をベースとして絶縁樹脂層を介して銅箔など張った積層板、例えばアルミニウムベース銅張り基板、鉄ベース銅張り基板、ステンレスベース銅張り基板、ケイ素鋼ベース銅張り基板、銅ベース銅張り基板、42-アロイスベース銅張り基板なども利用できる。また、支持基板15としてはハードボードの他、フレキシブル基板であっても良い。具体的には、第1の金属層13として厚さ $60\mu m$ の銅層を備えた基材厚 $0.2mm$ の銅張り積層基板を用意する。なお、この積層基板は、絶縁基板の両主表面に銅層が形成されたものであるが、図1乃至図3においては、下面の銅層の図示は省略している。

【0016】(ロ)続いて、第1の金属層13上にレジスト膜を塗布し、このレジスト膜をフォトリソグラフィー技術によりパターニングして、パンプを形成するためのエッチングマスクとする。その後、このエッチングマスクを用いて、第1の金属層13を一定時間選択的にエッチングする。即ち、図1(b)に示すように、第1残金属層23として、底部に比較的薄い第1の金属層13の一部を残しつつ、凸部からなる複数の第1パンプ21を形成する。複数の第1パンプ21を形成後、エッチングマスクは不要であるので、剥離除去する。ここで、第1の金属層13を選択的にエッチングする量としては、凹部の底部に残留する第1残金属層23の厚さが、 $1\sim18\mu m$ 程度残るようにすることが好ましい。これは、第1残金属層23の厚さが $1\mu m$ 未満では、後にこの第1残金属層23を用いて配線パターンを形成した際に、ピンホールなどの欠陥が現れるため好ましくないからである。また、第1残金属層23の厚さが $15\mu m$ を超えると、配線パターンの形成精度が低下するためである。

また、第1の金属層13である銅のエッチングは、塩化銅(HI)水溶液をエッチング液として用いて、このエッティング液に基板全体を浸漬することにより行う。このとき、エッティング量の調節は、浸漬時間を調節することにより行う。また、形成する複数の第1パンプ21の形状としては、例えば錐形、柱型、台形などの任意の立面形状、円形、多角形、十字形などの任意の平面形状で良い。寸法も任意で良い。しかし、複数の第1パンプ21のエッティング加工精度の点から、第1パンプ21の高さは、 $10\mu m$ 以上 $100\mu m$ 以下であることが好ましく、特に $30\mu m$ 以上 $60\mu m$ 以下であるとより好ましい。なお、エッティングマスクとなるレジスト膜としては、フィルムレジスト膜、液状レジスト膜等が使用できる。また、ハンダ、ニッケルや金箔等のエッティングにおいて、一般に用いられているプリント基板用のエッティングレジスト膜を用いても良い。ここでは、レジスト膜にエッティングレジストフィルムを用いて、エッティングマスクを形成する。そして、第1の金属層13である銅は、選択的に $45\mu m$ エッチングされ、 $15\mu m$ の残金属層23を残しつつ複数の第1パンプ21が形成される。従って、第1パンプ21の高さは $45\mu m$ となる。エッティングマスクは、パンプ形成後剥離除去する。

【0017】(ハ)続いて、複数の第1パンプ21を覆うように第1残金属層23の全面にレジスト膜を塗布し、このレジスト膜をフォトリソグラフィー技術よりパターニングして、配線パターン用のエッティングマスクを形成する。このエッティングマスクを用いて第1残金属層23をエッティングすることで、図1(c)に示すように、第1配線パターン25を形成する。その後、エッティングマスクは剥離除去する。これにより、絶縁基板11上には、複数の第1パンプ21が形成されている主表面と同一主表面側に、第1配線パターン25が形成される。ここで用いられるレジスト膜としては、先程と同様に様々なレジスト膜を使用することができる。また、第1残金属層23のエッティングも、塩化銅(HI)水溶液をエッティング液として用いてエッティングする。具体的には、基板15の両面にエッティングレジストフィルムをラミネートし、このエッティングレジストフィルムに配線パターンを形成してエッティングマスクとする。そして、第1残金属層23である銅をさらにエッティングして第1配線パターン25を形成する。第1配線パターン25形成後、エッティングレジストフィルムは剥離除去する。

【0018】(ニ)続いて、複数の第1パンプ21と第1配線パターン25が形成された基板15の上に、図2(d)に示すように、第1絶縁性樹脂層31と第2の金属層33を積層して圧着することにより、複数の第1パンプ21と第2の金属層33を接続する。ここで用いられる絶縁性樹脂としては、例えばポリカーボネート樹脂、ポリスルファン樹脂、ポリエーテルイミド樹脂、熱可塑性ポリイミド樹脂、四フッ化ポリエチレン樹脂、六

フッ化ポリプロピレン樹脂、ポリエーテルエーテルケトン樹脂、塩化ビニル樹脂、ポリエチレン樹脂などの熱可塑性樹脂が挙げられる。また、いわゆるBステージの状態で、所要の絶縁性・接着性を形成し得る熱硬化性樹脂、例えばエポキシ樹脂、ビスマレイミドトリアジン樹脂、ポリイミド樹脂、フェノール樹脂、ポリエーテル樹脂、メラミン樹脂、あるいは未加硫な(生ゴム)ブタジエンゴム、ブチルゴム、天然ゴム、ネオプレン(登録商標)ゴム、シリコーンゴムなども使用し得る。さらに、これらは共重合体系や混合系であっても良いし、ガラスクロスやマットなどの無機酸化物、紙などの有機物を組み合わせた形態、もしくは無機酸化物粉末などを添加・含有させた系でも良い。そして、絶縁性樹脂層の形成は、例えばスクリーン印刷法、キャスティングローラコート法、スピンドルコート法などで、複数の第1バンプ21と第1配線パターン25が形成された基板面上に行うことができる。さらに、これらの絶縁性樹脂層は、予め接着剤として機能するものを用いても良く、接着剤としては、プリプレグ、接着シート、接着フィルム、銅箔付きの接着剤、プリント基板用や半導体装置用として一般に用いられている接着剤等を任意に選択してよい。基板15と、これら第1絶縁性樹脂層31及び第2の金属層33の圧着には、例えばラミネートプレス機、メカニカルプレス機などのプレス機を用いたり、ラミネーターや、フリップチップボンダー、熱圧着機、超音波接合装置など、一般的な積層、接着、圧着、接合装置を用いてよい。本発明の第1の実施の形態では、第1絶縁性樹脂層31として厚さ40μmのプリプレグと、第2の金属層33として厚さ60μmの銅層とを予め接着積層した上で、この積層体を、複数の第1バンプ21と第1配線パターン25の形成された基板15上に乗せて、接合圧力4.0MPa、処理温度170℃、雰囲気圧力100Paの条件で圧着することで一体化させると共に、複数の第1バンプ21と第2の金属層33を接続する。

【0019】(ホ) 続いて、図2(e)に示すように、前述した第1の金属層13での第1バンプ21の形成と同様にして、第2の金属層33上に複数の第2バンプ41を形成する。ここでは、第2の金属層33表面にエッチングレジストフィルムをラミネートし、続いてフォトリソグラフィー技術によりバンプとなる形状にエッチングマスクを形成する。そして、このエッチングマスクを用いて第2の金属層33を選択的に45μmエッチングする。そして、その後、エッチングレジスト膜を剥離除去する。この工程では、第2の金属層33は全てエッチングされることなく、第2残金属層43が残る。

【0020】(ヘ) 続いて、図2(f)に示すように、前述した第1の金属層13での第1配線パターン25の形成と同様にして、第2残金属層43による第2配線パターン45を形成する。ここでは、第2バンプ41と第2残金属層43を覆うようにエッチングレジストフィル

ムをラミネートし、続いてフォトリソグラフィー技術により配線パターンとなる形状にエッチングレジストフィルムを形成して、第2残金属層43をエッチングする。そして、その後エッチングレジストフィルムを剥離除去して、複数の第2バンプ41が形成されている主表面と同一主表面側に第2配線パターン45を形成する。

【0021】(ト) 続いて、図3(g)に示すように、前述した第1絶縁性樹脂層31の形成及び第1バンプ21と第2の金属層33との接続と同様にして、複数の第2バンプ41及び第2配線パターン45上に絶縁性樹脂層35と第3の金属層51を形成後、基板15とこれら絶縁性樹脂層35及び第3の金属層51を圧着し、複数の第2バンプ41と第3の金属層51を接続する。ここで、第3の金属層51は、多層プリント基板の最表面配線パターン層を形成するためのものである。従って、第3の金属層51は、先程の第2の金属層33のようにバンプを形成する必要がないため、配線パターンの形成に十分なだけの厚さがあれば良い。第3の金属層51の厚さとしては、例えば1~18μmの厚さであることが好ましい。これは、1μm未満では配線パターンを形成したときにピンホールなどの欠陥が現れ好ましくなく、一方、15μmを超えると配線パターンの形成精度が低下するためである。ここでは、絶縁性樹脂層35として厚さ40μmのプリプレグ、第3の金属層51として厚さ12μm銅層を形成し、接合圧力4.0MPa、処理温度170℃、雰囲気圧力100Paの条件で成形一体化させると共に、複数の第2バンプ41と第3の金属層51とを接続する。

【0022】(チ) 続いて、図3(h)に示すように、第3の金属層51上にレジスト膜を塗布し、このレジスト膜をフォトリソグラフィー技術によりパターニングして配線パターンのエッチングマスクを形成し、このエッチングマスクを用いて第3の金属層51をエッチングすることにより第3配線パターン55を形成する。ここでは、第3の金属層51である銅層の表面にエッチングレジストフィルムラミネートし、続いてフォトリソグラフィー技術により配線パターンとなる形状にエッチングマスクを形成して、このエッチングマスクを用いて、第3の金属層51をエッチングして第3配線パターン55を得る。その後、エッチングマスクは剥離除去する。

【0023】以上の各工程により、図3(h)に示すような3層構造の多層プリント基板が完成する。得られた多層プリント基板について、非接触形状測定器による測定の結果、本発明の第1の実施の形態により製造された多層プリント基板表面の平坦度は、面積10.48cm×10.48cmにおいて、最大1.5μm凹凸であった。この面積内には、1681個のバンプが配置されている。

【0024】また、比較のために、バンプの形成を印刷法により行なった同一面積の多層プリント基板を製作し

て、その平坦度を測定した。なお、層構造は、本発明の第1の実施の形態と同様に3層構造で、かつバンプ数も同じである。測定の結果、バンプを印刷法により形成した多層プリント基板表面の平坦度は、最大5.3μmの凹凸であった。

【0025】以上のような平坦度の測定結果から分かるように、本発明を適用して製造された多層プリント基板では、従来法により製造された多層プリント基板より平坦度の高いことが分かる。また、本発明の第1の実施の形態による平坦度1.5μm凹凸は、例えばフリップチップ実装などに用いられている近年の半導体チップのバンプの高さより十分低いため、フリップチップ実装による半導体集積回路の信頼性を向上させることが可能となる。

【0026】(第2の実施の形態)図4乃至図6は、第2の実施の形態における本発明を適用した多層プリント基板の製造方法を説明するための工程断面図である。

【0027】(イ)まず、図4(a)に示すように、絶縁性基板61の一方の主表面に、3層構造の第1の金属層69を有する支持基板60を用意する。この3層構造の第1の金属層69は、最上層に位置する第1の銅層63、この第1の銅層63の下にあり、ニッケル又はニッケル合金からなる中間層65、この中間層65の下にある第2の銅層67とから構成されている。ここで、第1の銅層63は、バンプを形成するためのものであるため、その厚さは、10~150μmであることが好ましい。これは10μm未満ではバンプとしての高さが不十分となり、一方、150μmを越えるとバンプの形成精度が低下するためである。ニッケル又はニッケル合金からなる中間層65は、バンプ形成時にエッチングストップ層となるものである。従って、その厚さは、エッチング液の浸透や漏出がなければ極薄くてよく、例えば0.04~1.5μmの厚さで十分である。しかし、0.4μm未満ではピンホールなどの欠陥が発生する虞れがあり、銅のエッチングの時に、エッチングストップ層として十分機能しなくなる可能性があるので好ましくない。一方、上限については、1.5μmを越えても、エッチングストップ層としての機能には問題がないものの、あまり厚くすると、この中間層65自体のエッチング除去に時間がかかり、またエッチング液の消費量も多くなるので、コスト的に不利となる。このため、上限の厚さは1.5μm程度が好ましい。第2の銅層67は、後に配線パターンを形成するためのものである。このため、その厚さは、1~18μmであることが好ましい。これは1μm未満ではピンホールなどの欠陥が現れ、一方、15μmを超えると配線パターンの形成精度が低下するためである。従って、例えば、最上層に厚さ4.5μmの銅層63、その下に厚さ0.1μmのニッケルルーリン合金からなる中間層65、その下に厚さ6μmの銅層67の3層からなる第1の金属層(3層金属層)69を備えた

基材厚0.2mmの銅張り積層板を用意する。

【0028】(ロ) 続いて、この支持基板60の第1の銅層63上にレジスト膜を塗布し、このレジスト膜をフォトリソグラフィー技術によりパターニングして、バンプを形成するためのエッチングマスクとし、その後、このエッチングマスクを用いて、第1の銅層63をエッチングし、複数の第1バンプ71を形成する。このとき第1の銅層63のエッチングは、中間層65が露出した時点で自動的に停止する。その後、エッチングマスクとなつてあるレジスト膜を剥離除去し、所定のニッケルエッチング液で、ニッケル又はニッケル合金からなる中間層65のみを選択的にエッチング除去する。ニッケル又はニッケル合金からなる中間層65のエッチングにおいても、第2の銅層67が露出した時点で自動的に停止する。これにより、図4(b)に示すように、第2の銅層67がそのまま残り、かつ、その表面が露出した状態で複数の第1バンプ71が形成される。ここで形成する複数の第1バンプ71の形状としては、例えば錐形、柱型、台形などの任意の立面形状、円形、多角形、十字形などの任意の平面形状で良い。寸法も任意で良いが、バンプのエッチング加工精度の点から、高さ10μm以上100μm以下であることが好ましく、特に30μm以上60μm以下であるとより好ましい。ここで用いられるレジスト膜としては、第1の実施の形態と同様に様々なレジスト膜を使用することができる。また、第1の銅層63のエッチングは、前述した第1の実施の形態同様に、塩化銅(II)水溶液をエッチング液として用いてエッチングするが、このとき、エッチング量、即ちエッチング時間の厳密は制御は不要である。なぜなら、上記の通り、第1の銅層63の下には、エッチングストップ層となるニッケル又はニッケル合金からなる中間層65があるため、多少長い時間エッチング液に浸漬しても、中間層の下にある第2の銅層67はエッチングされることはないからである。

【0029】(ハ) 続いて、複数の第1バンプ71を覆うように、露出している第2の銅層67の全面にレジスト膜を塗布し、このレジスト膜をフォトリソグラフィー技術よりパターニングして、配線パターン用のエッチングマスクを形成する。そして、このエッチングマスクを用いて第2の銅層67をエッチングすることで、図4(c)に示すように、第1配線パターン75を形成する。その後、エッチングマスクは剥離除去する。ここで用いられるレジスト膜としては、第1の実施の形態と同様に様々なレジスト膜を使用することができる。また、第2の銅層67のエッチングも、塩化銅(II)水溶液をエッチング液として行うと良い。これにより、絶縁基板61上には、第1バンプ71が形成されている主表面と同一主表面側に第1配線パターン75が形成される。本発明の第2の実施の形態では、基板60の両面にエッチングレジストフィルムをラミネートし、続いてフォトトリ

ソグラフィー技術により配線パターンとなる形状に、このレジスト膜をパターニングしてエッチングマスクを形成する。そして、このエッティングマスクを用いて、第2の銅層97をエッティングして第1配線パターン75を形成する。第1配線パターン75形成後、エッティングマスクは剥離除去する。

**【0030】(ニ) 続いて、図5(d)に示すように、複数の第1バンプ71と第1配線パターン75の上に、第1絶縁性樹脂層81を形成し、その上にさらに、3層構造の第2の金属層(3層金属層)99を形成して、複数の第1バンプ71と少なくとも第2の銅層97が接続するように圧着する。3層構造の第2の金属層99は、第1の銅層93、ニッケル又はニッケル合金からなる中間層95、及び第2の銅層97とかなる。ここで、絶縁性樹脂層としては、第1の実施の形態と同様に、様々な樹脂材料や接着剤材など使用することができる。また、第1の銅層93は、先程の第1バンプ71形成と同様にバンプを形成するためのものであるため、その厚さは、10~150μmであることが好ましい。また、ニッケル又はニッケル合金からなる中間層95は、エッティングストップ層となるもので、その厚さは、例えば0.04~1.5μmの厚さで十分である。さらに第2の銅層97は、後に配線パターンを形成するためのもので、その厚さは、1~18μmであることが好ましい。本発明の第2の実施の形態では、最上層に来る第1の銅層93として厚さ45μmの銅層93、その下に厚さ0.1μmのニッケルーリン合金からなる中間層95、その下に厚さ6μmの銅層97の3層からなる第2の金属層99と、厚さ35μmの接着剤とを、予め積層した上で、接着剤層81が複数の第1バンプ71と接するように配して積層構成体とし、接合圧力3.3MPa、処理温度177°C、雰囲気圧力100Paの条件で圧着して、成形一体化させる。これにより、複数の第1バンプ71が接着剤層(絶縁性樹脂層)81を貫通して対向する第2の金属層97に接続される。**

**【0031】(ホ) 続いて、第1の銅層93上に、エッティングレジストフィルム等のレジスト膜を塗布し、このレジスト膜をフォトリソグラフィー技術によりパターニングして、バンプを形成するためのエッティングマスクとする。その後、このエッティングマスクを用いて、第1の銅層93をエッティングすることにより、複数の第2バンプ101を形成する。このとき第1の銅層93のエッティングは、中間層95が露出した時点で自動的に停止する。その後、エッティングマスクとなっているレジスト膜を剥離除去し、ニッケルエッティング液で、ニッケル又はニッケル合金からなる中間層95のみを選択的にエッティング除去する。これにより、図5(e)に示すように、第2の銅層97がそのまま残り、かつ、その表面が露出した状態で複数の第2バンプ101が形成される。このとき第1の銅層93や中間層95のエッティング、用いた**

レジスト膜などは先程の第1バンプ71の形成工程と同じで良い。

**【0032】(ヘ) 続いて、複数の第2バンプ101を覆うように、露出している第2の銅層97の上全面に、エッティングレジストフィルム等のレジスト膜を塗布し、このレジスト膜をフォトリソグラフィー技術によりパターニングして、配線パターン用のエッティングマスクを形成する。そして、このエッティングマスクを用いて第2の銅層97をエッティングすることで、図5(f)に示すように、第2配線パターン105を形成する。その後、エッティングマスクは剥離除去する。ここで用いられるレジスト膜としては、エッティングレジストフィルムに以外の様々なレジスト膜を使用することができる。また、第2の銅層97のエッティングも、塩化銅(HI)水溶液をエッティング液としてエッティングすると良い。これにより、複数の第2バンプ101が形成されている主表面と同一主表面側に、第2配線パターン105が得られる。**

**【0033】(ト) 続いて、図6(g)に示すように、複数の第2バンプ101及び第2配線パターン105上に第2絶縁性樹脂層85と第3の金属層111を形成後、これらを圧着し、複数の第2バンプ101と第3の金属層111を接続する。ここで、第3の金属層111は、多層プリント基板の最表面配線パターン層を形成するためのものである。従って、第3の金属層111は、バンプを形成する必要がないため、配線パターンの形成に十分なだけの厚さがあれば良い。第3の金属層111の厚さとしては、例えば1~18μmの厚さであることが好ましい。1μm未満では配線パターンを形成したときにピンホールなどの欠陥が現れ好ましくなく、一方、1.5μmを超えると配線パターンの形成精度が低下するためである。本発明の第2の実施の形態では、予め第3の金属層111となる厚さ12μmの銅層の付いた第2絶縁性樹脂層85となる厚さ35μmの接着剤を用いて、接着剤層85と第2バンプ101が接するように配して積層構成体とし、接合圧力3.3MPa、処理温度177°C、雰囲気圧力100Paの条件で圧着して成形一体化させる。これより、複数の第2バンプ101と第2の金属層85である銅層が接続される。**

**【0034】(チ) 続いて、図6(h)に示すように、第3の金属層111上にエッティングレジストフィルム等のレジスト膜を塗布し、このレジスト膜をフォトリソグラフィー技術によりパターニングして配線パターンのエッティングマスクを形成し、このエッティングマスクを介して第3の金属層111をエッティングすることにより第3配線パターン115を形成する。その後、レジスト膜を剥離除去する。**

**【0035】以上の中工程により、図6(h)に示すような3層構造の多層プリント基板が完成する。得られた多層プリント基板に付いて、その平坦度の測定を非接触形状測定器を用いて測定した結果、本発明の第2の実施**

の形態により製造された多層プリント基板表面の平坦度は、面積10.48cm×10.48cmにおいて、最大0.8μm凹凸であった。また、比較のために、同一面積で、バンプの形成を印刷法により行なった多層プリント基板を製作して、その平坦度を測定した。なお、層構造は、本発明の第2の実施の形態と同様に、3層構造で、かつバンプ数も同じである。測定の結果、バンプを印刷法により形成した多層プリント基板表面の平坦度は、最大6.6μmの凹凸であった。

【0036】以上のような平坦度の測定結果から分かるように、本発明の第2の実施の形態を適用して製造された多層プリント基板では、従来法により製造された多層プリント基板より平坦度の高いことが分かる。また、本発明の第2の実施の形態による平坦度0.8μm凹凸は、例えばフリップチップ実装などに用いられている近年の半導体チップのバンプの高さより十分低いため、フリップチップ実装による半導体集積回路の信頼性向上させることが可能となる。

【0037】(その他の実施の形態)以上本発明を適用した実施の形態を説明したが、上記した実施の形態の開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。以下に説明するその他の実施の形態の開示から当業者には様々な代替実施の形態、実施例及び運用形態が明らかとなろう。

【0038】まず、上述した各実施の形態では、いずれも配線パターンが形成された層数としては、3層構造のものを示したが、この層数はいくつでも良いことは当然である。

【0039】第1の実施の形態では、一つの金属層（第1の金属層）を選択的に2回エッチングすることで、同一主表面側にバンプと配線パターンを形成した例を説明した。また、第2の実施の形態では、エッチングストップ層となる中間層を用いた3層構造の金属層を用いて、同一主表面側にバンプと配線パターンを形成した例を説明した。しかし、これらの方法は、互いに独立に行なわれる場合に限られるものではない。即ち、第1層目は一つの金属層（第1の金属層）を選択的に2回に渡りエッチングすることで、同一主表面側にバンプと配線パターンを形成し、第2層目はエッチングストップ層となる中間層を用いた3層構造の金属層を用いて、同一主表面側にバンプと配線パターンを形成しても良い。

【0040】さらに、各実施の形態では、バンプの形成と、配線パターンの形成を、同一表面上で、同じ金属層（第1の金属層や3層金属層）を用いて行なっているが、これらは別の金属層により行なっても良い。例えば、絶縁性基板として、予め配線パターンが形成された回路基板を用い、その上に、バンプ形成のための金属層を形成して、バンプを形成するようにしても良い。このとき、バンプ形成のための金属層に銅を用いるとすれ

ば、予め形成された配線パターンは、銅のエッティングに対して選択的にエッティングされない金属である、例えばニッケルやニッケル合金などが好ましい。

#### 【0041】

【発明の効果】以上に説明したように、本発明によれば、表面の平坦度に優れた多層プリント基板を製造することが可能となる。特に、層間接続をバンプにより行なった多層プリント基板であっても、一層ごとの平坦度が極めて良好であるので、層数を多くしても、全体として平坦度の優れた多層プリント基板を製造することが可能である。

#### 【図面の簡単な説明】

【図1】本発明を適用した第1の実施の形態に係る多層プリント基板の製造方法を説明するための工程断面図（その1）である。

【図2】本発明を適用した第1の実施の形態に係る多層プリント基板の製造方法を説明するための工程断面図（その2）である。

【図3】本発明を適用した第1の実施の形態に係る多層プリント基板の製造方法を説明するための工程断面図（その3）である。

【図4】本発明を適用した第2の実施の形態に係る多層プリント基板の製造方法を説明するための工程断面図（その1）である。

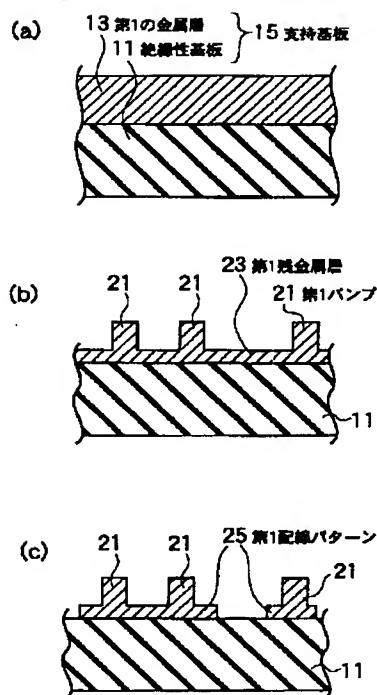
【図5】本発明を適用した第2の実施の形態に係る多層プリント基板の製造方法を説明するための工程断面図（その2）である。

【図6】本発明を適用した第2の実施の形態に係る多層プリント基板の製造方法を説明するための工程断面図（その3）である。

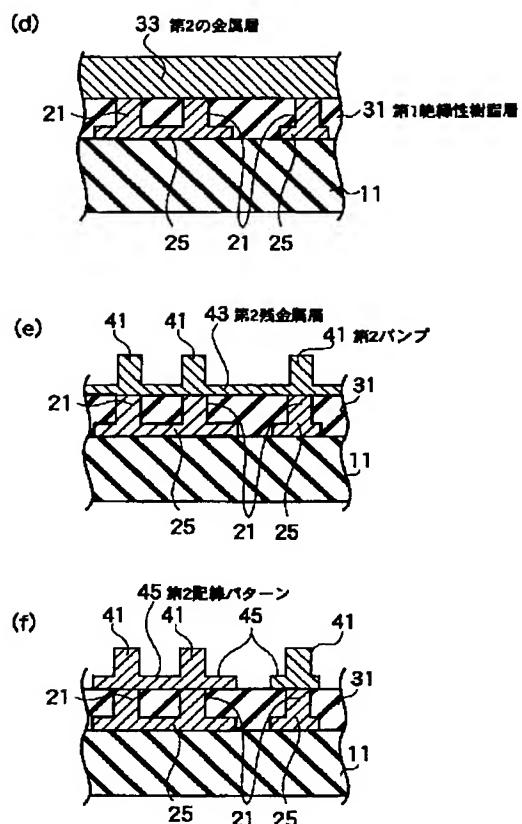
#### 【符号の説明】

|        |          |
|--------|----------|
| 11、61  | 絶縁性基板    |
| 13、69  | 第1の金属層   |
| 15、60  | 支持基板     |
| 21、71  | 第1バンプ    |
| 41、101 | 第2バンプ    |
| 23     | 第1残金属層   |
| 43     | 第2残金属層   |
| 25、75  | 第1配線パターン |
| 45、105 | 第2配線パターン |
| 55、115 | 第3配線パターン |
| 31、81  | 第1絶縁性樹脂層 |
| 35、85  | 第2絶縁性樹脂層 |
| 33、99  | 第2の金属層   |
| 51、111 | 第3の金属層   |
| 63、93  | 第1の銅層    |
| 65、95  | 中間層      |
| 67、97  | 第2の銅層    |

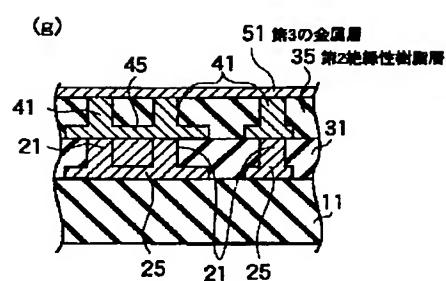
【図1】



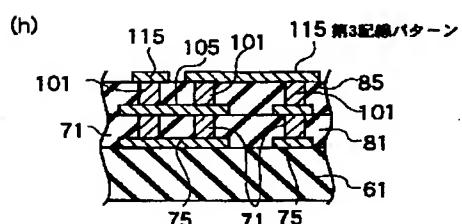
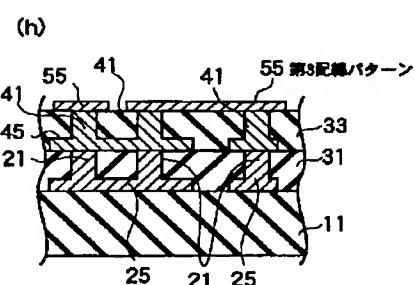
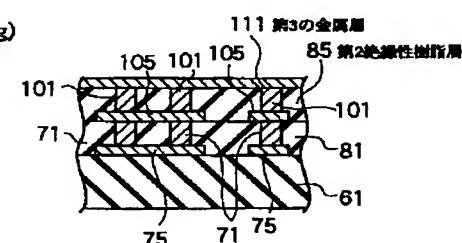
【図2】



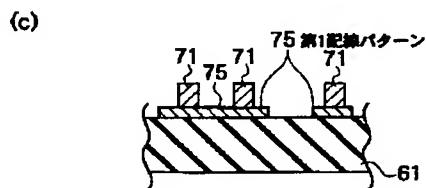
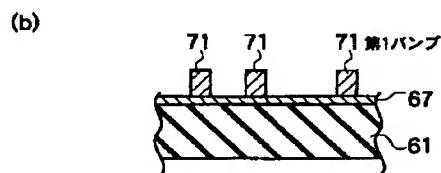
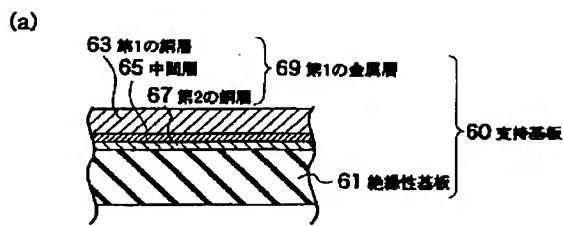
【図3】



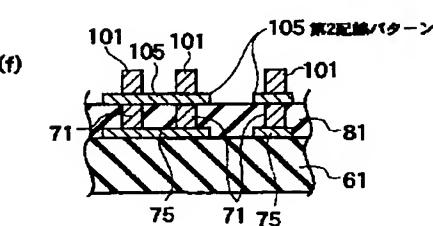
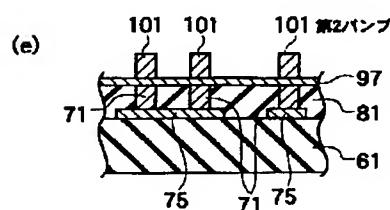
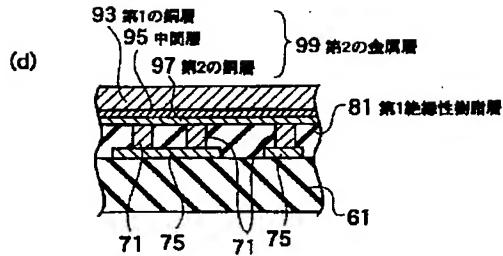
【図6】



【図4】



【図5】



フロントページの続き

(72) 発明者 榎本 哲也  
茨城県つくば市和台48 日立化成工業株式  
会社総合研究所内

F ターム(参考) 5E317 AA21 AA24 BB12 BB15 CC13  
CC25 CD25 CD27 GG03 GG17  
5E346 AA43 CC16 CC32 CC37 CC41  
FF24 GG08 GG22 HH07 HH31